



(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2002年8月1日 (01.08.2002)

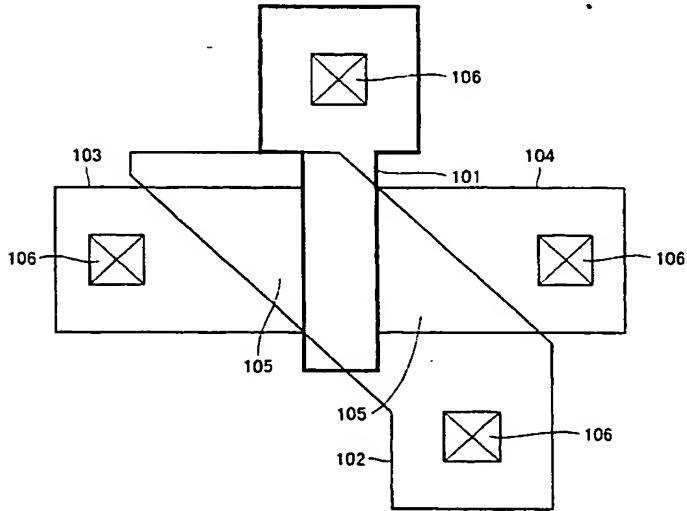
PCT

(10) 国際公開番号
WO 02/059979 A1

- (51) 国際特許分類?: H01L 29/78
- (21) 国際出願番号: PCT/JP02/00445
- (22) 国際出願日: 2002年1月22日 (22.01.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-18133 2001年1月26日 (26.01.2001) JP
- (71) 出願人(米国を除く全ての指定国について): イーエヌジー株式会社 (EXPLOITATION OF NEXT GENERATION CO., LTD.) [JP/JP]: 〒814-0001 福岡県福岡市早良区百道浜2丁目1-22 Fukuoka (JP).
- (72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 有馬 裕
- (ARIMA,Yutaka) [JP/JP]: 〒820-8502 福岡県飯塚市川津680-4 九州工業大学マイクロ化総合技術センター内 Fukuoka (JP).
- (74) 代理人: 深見 久郎, 外(FUKAMI,Hisao et al.); 〒530-0054 大阪府大阪市北区南森町2丁目1番29号三井住友銀行南森町ビル Osaka (JP).
- (81) 指定国(国内): CN, KR, US.
- (84) 指定国(広域): ヨーロッパ特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 國際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体素子



WO 02/059979 A1

(57) Abstract: A semiconductor device for adjusting the gain factor of a transistor by controlling the direction of the electric field, that is, the angle of electric field, applied to the gate (101) or the channel. Preferably, the semiconductor device comprises a first gate (101) forming a rectangular or parallelogrammic channel region and a second gate (102) where channel regions substantially including a triangle are formed between the channel region formed of the first gate and a source region (103) and between the channel region and a drain region (104). Further preferably, the semiconductor device comprises a channel region formed of a first gate, and all the channel regions including the channel regions formed of a second gate on both sides of the channel region formed of the first gate are substantially rectangular or parallelogrammic. Thus a semiconductor device capable of voltage-modulating the gain factor β of a MOS transistor in an analog way can be readily produced by a conventional process technique and can be incorporated into any conventional LSI composed of a CMOS circuit.

[続葉有]



(57) 要約:

半導体素子において、ゲート（101）あるいはチャネルに対する電界の向き、すなわち電界の角度を制御することによってトランジスターの利得係数を調整する。好ましくは、矩形あるいは平行四辺形のチャネル領域を形成する第1のゲート（101）と、第1のゲートで形成されるチャネル領域とソース領域（103）およびドレイン領域（104）の間の各々に、実質的に三角形を含むチャネル領域を形成する第2のゲート（102）を備える。さらに好ましくは、第1のゲートで形成されるチャネル領域を含み、その両側にある第2のゲートで形成されるチャネル領域を含んだ全てのチャネル領域が実質的に矩形あるいは平行四辺形を成す。したがって、MOSトランジスターの利得係数 β をアナログ的に電圧変調できる半導体素子を、従来のプロセス技術で容易に製造することができ、CMOS回路で構成される従来のあらゆるLSIに組み込むことができる。

明細書

半導体素子

5 技術分野

本発明は、MOSトランジスターの利得係数 β をアナログ的に電圧変調可能にした半導体素子に係り、この半導体素子をLSIに組み込むことで、オンチップで素子ごとの特性を調整することを可能にし、LSIの大規模化に伴う内蔵機能回路間の動作タイミングや、素子の微細化に伴い増大する素子特性バラツキを自動補正する機構を実現でき、チップ個々の最適化に基づくLSIの高性能化に貢献することが期待できる半導体素子に関する。

背景技術

半導体集積回路に代表されるLSI (Large Scale Integrated circuit) デバイスは、発明以来約30年に渡り、主に素子の微細化によってその性能を確実に進展させてきた。しかし、素子微細化において様々な物理的限界が顕在化してきた昨今では、集積回路素子を安定・均質に製造することが極めて困難になりつつある。もはや、素子の微細化だけに頼ったLSIデバイスの高性能化は限界に近づいており、均質な素子製造を前提とした従来のLSI設計手法についても見直す時期を迎えている。

また、最近のLSIデバイスは、素子微細化の進展に伴いますます大規模化・高集積化が進み、システムオンチップ化が現実のものとなって、チップ内部に多種多様な機能回路を多数集積することが不可欠となってきた。そのような大規模LSIデバイスの設計では、集積された多数の機能回路同士を正しく動作させるために、機能回路間の動作タイミングなどを最適化調整することが特に重要である。

しかし、LSIに集積する機能の多様化・複雑化に伴って、LSIの製造過程で避けることが出来ないプロセス変動をカバーするための動作マージン確保が、今後の大規模LSIデバイスの更なる高性能化を阻むようになってきた。つまり、今後、LSIデバイスの高性能化を推進する為には、ある程度大きな素子特性バ

ラツキを前提とした新たなLSI設計・製造手段の開拓が不可欠となっている。

このように、LSIデバイスの高性能化において、もはや無視することが出来なくなつた、チップ内素子特性の空間的バラツキやプロセス変動による素子特性中央値変動というような、製造されるLSIチップ毎に変動する素子不均一性に関する問題は、LSIチップ毎にその集積素子の特性バラツキを自動的に調整・補償してデバイス性能を高める、所謂、自己適応機能もしくは自己最適化機能をLSIチップ自身に備えることで効果的に解決することが可能である。

しかし、従来の技術ではそれを実現することが容易でなかつた。従来は、自己調整機能をLSIチップ上に実装する手段として、複数のMOSトランジスタを使いその並列接続等を電気的スイッチで切り替える回路的方法で実現することが考えられていた。しかし、回路的に実現する方法はその調整精度と回路規模の点から極めて非効率であった。

MOSトランジスターの実質的な利得係数を、複数のMOSトランジスターを使って電気的に変調できる回路構成例を図12から図15A, 15Bに示す。図12には2つのMOSトランジスター11, 12を並列に接続した回路構成例を示す。トランジスター11のゲート電極には通常の信号電圧が与えられており、トランジスター12のゲート電極はスイッチ13に依って信号電圧かOFF電圧(MOSトランジスターがOFF状態になる電圧)が与えられる構成となつてゐる。スイッチ13は通常、CMOSスイッチ($p-MOS$ と $n-MOS$ の並列接続)とそのゲート信号を作るインバータ1個とスイッチの状態を保持する為のラッチ回路で構成され、合計24個程度のトランジスターが必要である。スイッチ13がトランジスター12のゲート電極を信号電圧に接続した状態では、この回路は、トランジスター11と12が並列に接続されたMOSトランジスターとして働き、スイッチ13がトランジスター12のゲート電極をOFF電圧に接続した状態では、この回路は、トランジスター11のみが働く。

図13には、5つのトランジスターを並列に接続した回路構成例を示す。4つのスイッチ13の状態に依って、16通りのバリエーションを実現することができる。4つのトランジスター12の利得係数を各々2のべき乗倍に設定することによって、16段階の係数値を等間隔にすることができる。

図14Aには2つのMOSトランジスターを直列に接続した回路構成例を示す。この例では、スイッチ13によってトランジスター12のゲート電極を信号電圧かON電圧(MOSトランジスターがON状態になる電圧)に接続する構成になっている。図14Bに示すように、スイッチ13がトランジスター12のゲート電極を信号電圧に接続した状態では、この回路は、トランジスター11と12が直列に接続されたMOSトランジスターとして働く。これに対して、図14Cに示すように、スイッチ13がトランジスター12のゲート電極をON電圧に接続した状態では、トランジスター12にトランジスター12のON抵抗が直列に接続された回路として働く。

図15Aでは、トランジスター12のゲート電極に制御電圧を与え、その制御電圧値によってトランジスター11に直列接続された抵抗値を調整する構成例を示している。すなわち、図15Bに示すように、トランジスター12は、制御電圧に応じた抵抗値を有する可変抵抗として働く。

図12、13で示した並列接続による回路構成例では、特性調整できる精度と回路規模とがトレードオフの関係となり、調整精度を高める為には回路規模が大きくなるという問題がある。また、図14A-14C、15A、15Bで示した直列接続による回路構成例では、回路規模が大きくなる問題に加え、入力信号に対して非線形な特性を示す抵抗成分が直列に介在していることにより、実効的な特性調整範囲が制限される問題がある。

このような回路構成によるトランジスターの電気的特性変調方式は、調整すべき素子数の数倍から数十倍もの素子数を費やす必要があるという本質的な制約があることから、高集積化を推進しそのLSIの高性能化を目的とする自己調整機能実装には馴染み難い。そこで、高集積化を阻害しないで高精度な電気的特性変調を可能にするような新しい半導体素子の開発が望まれている。

25

発明の開示

この発明の目的は、高集積化を阻害しないで高精度な電気的特性変調を可能にするような新しい半導体素子であって、オンチップで素子パラメータを自動調整し特性バラツキを補正する機構回路をあらゆるLSIに実装することを可能にし、

ある程度大きな素子特性バラツキを許容する自己最適化LSIや自己適応型LSIなどの全く新しい能動型LSIを実現することができる半導体素子を提供することである。

この発明に従うと、半導体素子は、ゲートあるいはチャネルに対する電界の向き（角度）を制御することによってトランジスターの利得係数を調整することを特徴とするものである。

この発明の他の局面に従うと、半導体素子は、矩形あるいは平行四辺形のチャネル領域を形成する第1のゲートと、第1のゲートで形成されるチャネル領域とソース領域との間、及び、第1のゲートで形成されるチャネル領域とドレイン領域との間に、各々、実質的に三角形の形状又は実質的に三角形を含む台形の形状を有するチャネル領域（略三角形状のチャネル領域又は略台形状のチャネル領域）を形成する第2のゲートとを備える。

好ましくは、第1のゲートで形成されるチャネル領域と、その両側にある第2のゲートで形成されるチャネル領域とを含む全てのチャネル領域が、実質的に矩形あるいは平行四辺形を成している。

また好ましくは、第1のゲートで形成されるチャネル領域のコンダクタンスと、第2のゲートで形成されるチャネル領域のコンダクタンスとが、各々互いに異なっている。

さらに好ましくは、第1のゲートで形成されるチャネル領域のコンダクタンスより第2のゲートで形成されるチャネル領域のコンダクタンスが大きくなっている。

あるいは好ましくは、第1のゲートで形成されるチャネル領域のコンダクタンスと、第2のゲートで形成されるチャネル領域のコンダクタンスとが、互いに同一である。

また好ましくは、第1のゲートと第2のゲートとが、各々互いに異なる工程で製造および形成されている。

あるいは好ましくは、第1のゲートと第2のゲートとが、互いに同一の工程で製造および形成されている。

したがって、MOSトランジスターの利得係数 β をアナログ的に電圧変調でき

る半導体素子を、従来のプロセス技術で容易に製造することができ、CMOS回路で構成される従来のあらゆるLSIに組み込むことができる。この結果、オンチップで素子パラメータを自動調整し特性バラツキを補正する機構回路をあらゆるLSIに実装することが可能になり、ある程度大きな素子特性バラツキを許容する自己最適化LSIや自己適応型LSIなどの全く新しい能動型LSIを実現できるようになる。すなわち、大規模LSIの高性能化を阻止する要因となっていた、素子微細化に伴う特性バラツキやプロセス変動に伴う素子特性変動などの特性不均一性に起因する制限を、大幅に緩和することができる。

10 図面の簡単な説明

図1は、本発明の実施の形態1に従う半導体素子の構成を示す図である。

図2は、本実施の形態1に従う半導体素子の特性を規定する形状パラメータを示す図である。

図3は、本実施の形態1に従う半導体素子のMOSチャネルにかかる電界を示す図である。

図4は、本実施の形態1に従う半導体素子の特性変調メカニズムを説明する図である。

図5は、本実施の形態1に従う半導体素子の特性変調性能を示す図である。

図6Aおよび図6Bは、本実施の形態1に従う半導体素子によるCMOS回路構成例を示す図である。

図7Aおよび図7Bは、本実施の形態1に従う半導体素子によるCMOS回路構成例を示す図である。

図8は、本発明の実施の形態2に従う半導体素子の構成を示す図である。

図9は、本発明の実施の形態3に従う半導体素子の構成を示す図である。

図10は、本発明の実施の形態4に従う半導体素子の構成を示す図である。

図11は、本発明の実施の形態5に従う半導体素子の構成を示す図である。

図12は、実質的な利得係数を制御可能な半導体素子の第1の従来例を説明するための図である。

図13は、実質的な利得係数を制御可能な半導体素子の第2の従来例を説明す

るための図である。

図14Aから図14Cは、実質的な利得係数を制御可能な半導体素子の第3の従来例を説明するための図である。

図15Aおよび図15Bは、実質的な利得係数を制御可能な半導体素子の第4の従来例を説明するための図である。

発明を実施するための最良の形態

以下、この発明の実施の形態による半導体素子を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

(実施の形態1)

[素子構造]

まず本実施の形態1に従う半導体素子における基本構造の特徴を明確にするために、図1に、素子の基本構成要素に関するレイアウト構成例を示す。本実施の形態1に従う半導体素子の構造上の特徴は、通常のMOSゲートに対して、ある一定の角度をなす制御ゲートを追加設置しているところにある。

図1において、101は通常のMOSゲート、102は制御ゲート、103はソース領域、104はドレイン領域、105は制御チャネル領域、106は電極引き出しの為に金属配線と電気的に接続するコンタクト領域を、それぞれ示している。

本実施の形態1に従う半導体素子は、通常のMOSゲート101とソース103もしくはドレイン104間に各々、制御ゲート102下の制御チャネル領域105が実質上三角形を成し、前記制御ゲート102下の制御チャネル領域105とMOSゲート101下チャネル領域とを含むそれらの全チャネル領域は実質的に平行四辺形を形成していることを特徴としている。

制御ゲート102は図1内に示すようにMOSゲート101とは別のゲート層を用いて、MOSゲート101の上に重ねる様に形成することが可能である。また、制御ゲート102下の制御チャネル部分105は通常のMOSゲート101下のチャネルと同一特性で形成しても良いし、不純物濃度をMOSゲート101

下と変えて、チャネルコンダクタンスを独立に調整できるようにしてもよい。

本実施の形態 1 に従う半導体素子を製造するには、新たに追加された制御ゲート 102 とその下に形成される制御チャネル 105 を形成する工程以外、従来の MOS トランジスターを形成するプロセス工程と全く同様でよく、この素子を組み込む為に従来の製造工程を大幅に変更する必要はない。

5 このように本実施の形態 1 に従う半導体素子は、従来の MOS トランジスターに制御ゲートが追加された形状をしており、電気的には従来の MOS トランジスターに制御ゲート用電極が一つ追加されて、合計 4 つの電極（バックゲートを含めると合計 5 つ）を持つ特徴を有している。またこの半導体素子では、図 2 に示すように、MOS ゲート 101 の “ゲート長 L” 及び “ゲート幅 W” と、制御ゲート 102 と MOS ゲート 101 との “なす角度 θ” の、3 つの値をもって、素子特性を規定する素子形状パラメータとしている。

[特性変調メカニズム]

10 本実施の形態 1 に従う半導体素子は、制御ゲート 102 に与える電圧値によって、制御ゲート 102 下の制御チャネル 105 の抵抗値（コンダクタンス）を制御することで、MOS ゲート 101 下のチャネルにかかるチャネル方向の電界の向きを変調し、実効的なゲート長及びゲート幅を変えることでトランジスターの利得係数 β の電圧制御を可能にしている。

20 次に、本実施の形態 1 に従う半導体素子が利得係数 β を電気的に変調できるメカニズムについて説明する。図 3 内には、制御ゲート 102 下の制御チャネル 105 の抵抗値（コンダクタンス）が、MOS ゲート 101 のオン抵抗値（MOS ゲート 101 で形成されるトランジスター部のオン抵抗値）と同程度の場合と、十分に低い場合との電界の向きを矢印で示している。制御チャネル 105 が MOS ゲート 101 下チャネルのオン抵抗値に比べ十分に低い場合は、図 3 の矢印 1 25 に示すように、電界の向きは、MOS ゲート 101 にほぼ垂直（MOS ゲート 101 下チャネルの向きに平行）となり、実質的な利得係数 β は W/L に比例する。それに対して、制御チャネル 105 が MOS ゲート 101 のオン抵抗値と同程度の場合は、図 3 の矢印 2 に示すように、電界の向きは、制御ゲート 102 とソース 103 およびドレイン 104 との境界線に垂直な向きとなり、実質的に L は長

く、Wは短くなり、 β は小さくなる。図4内に示すように、制御チャネル抵抗がMOSゲートのオン抵抗と同程度の場合には、実効的なゲート長L' とゲート幅W' は近似的に次式(1) (2)で表すことができ、 β' は次式(3)に比例する。

$$5 \quad W' = \cos \theta * (W - L * \tan \theta) \quad (1)$$

$$L' = \cos \theta * (L + W * \tan \theta) \quad (2)$$

$$\beta' \propto (W/L - \tan \theta) / (1 + W/L * \tan \theta) \quad (3)$$

ここでは制御チャネル105の最大抵抗値をMOSゲート101のオン抵抗値としたが、それより大きくした場合には、利得係数 β は更に小さくなると予想される。ただし、MOSゲート101と制御ゲート102のチャネルコンダクタンスが同等のデバイスで制御チャネル105をMOSゲート101のオン抵抗値より大きくした場合には、ドレイン104側の一部の制御チャネル領域105が飽和状態になり、上式で示すような近似が出来なくなり、単純な関係式では表現することができなくなる。しかし何れにしても、利得係数 β は、制御チャネル105の抵抗値が大きくなると、実質的に小さくなると予想される。

これらの式で分かるように本実施の形態1に従う半導体素子は、制御ゲート102に与える電圧を調整して制御チャネル105の抵抗値を変えることによって、利得係数 β を W/L から $(W/L - \tan \theta) / (1 + W/L * \tan \theta)$ 程度（制御チャネル抵抗を最大でMOSのオン電圧と同程度とした場合）まで連続的に調整することが可能である。しかもその調整可能範囲は3つの素子形状パラメータ値の調整によって、次に説明するように、ほぼ任意に設定することが可能である。

[変調特性予測]

本実施の形態に従う半導体素子では、前に述べた通り、MOSゲートのゲート長L及びゲート幅Wと、MOSゲートと制御ゲートとのなす角度 θ によって β の調整可能範囲が決まる。そこで図5に、本実施の形態に従う半導体素子の β 調整可能範囲に対応する β 比（最大値／最小値）が、素子形状パラメータであるMOSゲートのW/Lでどのように設定できるのかを角度 θ をパラメータとして示した。ただしここでも、前出の近似式を用いるために、制御チャネルの最大抵抗値

をMOSゲートのオン抵抗値程度としている。

図5のグラフで分かるように、本実施の形態に従う半導体素子の β 調整可能範囲は、W/Lに比例して増大する成分とW/Lが小さくなると急激に増大する成分との重ね合わせであり、各々の項は θ に比例して大きくなる特徴をもっている。

5 W/Lに比例する成分は、電界の向きの変調に伴う実質的ゲートチャネル長Lの変調に起因しており、一方、W/Lが小さくなると急激に増大する成分は電界の向きの変調に伴う実質的ゲートチャネル幅Wの変調に起因している。また、角度 θ は電界方向の最大変調の大きさに比例するので、二つの成分各々に比例することになる。これらの特徴から、用途や許されるデバイスサイズ等に応じて比較的自由度の高い β 調整範囲設定が可能であることが分かる。

[効果]

以上のように、本実施の形態1に従う半導体素子は、その利得係数 β を、制御ゲート102に与える電圧で連続的に変調することができ、電圧で調整できる β の制御範囲は、3つの素子形状パラメータ、即ち、MOSゲート101のゲート長L及びゲート幅Wと、MOSゲート101と制御ゲート102のなす角度 θ で決まり、現実的なデバイスサイズ（制御ゲート分の面積増加のみ）で、最小の β と最大の β の比を数倍から数百倍を超える値まで比較的自由に設定することが可能である。また、本実施の形態1に従う半導体素子における β 変調の為に消費される電力は、制御ゲートのリーク電流によるものだけなので極めて小さく、実用上問題にならない程度である。さらに、本実施の形態1に従う半導体素子は、図6Aおよび図6Bにそれぞれ示すように、n-MOSトランジスター3、p-MOSトランジスター4、共に同様の構成で実現することができる。したがって、図7Aおよび図7Bに例示するインバータ回路5のように、CMOS回路による各種ゲートのドライバビリティを電気的に調整することを可能にし、将来の自己適応型LSIの基本素子としてその応用が期待される。

(実施の形態2)

図8に本発明の実施の形態2に従う半導体素子の構成を示す。実施の形態2では、実施の形態1と比べ、制御ゲート102の下に形成される制御チャネル105の形状が少々異なる。この例では各制御チャネル105の形状が実質的に台形

となっている。しかし、その形状が台形であっても、前記各制御チャネル 105 と MOS ゲート 101 下チャネル領域とも含むそれらの全チャネル領域が実質的に平行四辺形を形成していれば、同様の素子特性を実現することができる。ただし、前述した近似式 (1) ~ (3) に若干の修正が必要となり、各々次の (4)
5 (5) のようになり、 β' は次式に比例する。

$$W' = \cos \theta * (W - (L + a + b) * \tan \theta) \quad (4)$$

$$L' = \cos \theta * (L + a + b + W * \tan \theta) \quad (5)$$

$$\beta' \propto (W/L - (1+a/L+b/L)*\tan \theta) / (1+a/L+b/L+W/L*\tan \theta) \quad (6)$$

但し、上記式内の a および b は、図 8 内に示した各制御チャネル内の矩形部分
10 のチャネル方向に沿った長さである。この実施の形態では、制御チャネル領域の
形状が必ずしも三角形に限定されないことを示している。

(実施の形態 3)

図 9 に本発明の実施の形態 3 に従う半導体素子の構成を示す。この実施の形態
3 では、実施の形態 1 と比べ、制御ゲート 102 が MOS ゲート 101 と同一の
15 ゲート層で形成した場合を示している。制御ゲート 102 と MOS ゲート 101
とを同一のゲート層で形成する場合は、電気的に分離する為に、重ねることが出来ず、図 9 で示すように、制御ゲート 102 と MOS ゲート 101 との間にある
程度（分離加工できる程度）の隙間をあける必要がある。

その場合でも、その制御ゲート 102 と MOS ゲート 101 間の隙間はソース・ドレインと同一工程で形成されるので、その抵抗値は極めて低く、この素子
20 構成でも電気的には実施の形態 1 と変わらない特性を示す。利得係数 β の変調近似式は、制御ゲート 102 と MOS ゲート 101 間の隙間を a 、 b とすれば上記
式 (4) ~ (6) が当てはまる。この実施の形態 3 の構成では、制御ゲート 10
2 を形成するのにあえて別のゲート層形成工程を追加する必要が無いことを示し
25 ている。

(実施の形態 4)

図 10 に本発明の実施の形態 4 に従う半導体素子の構成を示す。この実施の形
態 4 では、実施の形態 1 と比べ、制御ゲート 102 と MOS ゲート 101 に関して
別別のレイアウト例を示している。図 1 で示した実施の形態 1 との違いは、トラ

ンジスタの活性領域に対して垂直なゲートがMOSゲート101か、あるいは制御ゲート102であるかの違いだけで、実質的な効果は同様である。この実施の形態4からは、本発明の半導体素子の特徴が、制御ゲート102とMOSゲート101との成す相対的角度だけに意味がある、各々のソース・ドレイン等に対する角度には限定されないことが示されている。

5 (実施の形態5)

図11に本発明の実施の形態5に従う半導体素子の構成を示す。この実施の形態5では、制御ゲート102とMOSゲート101とのなす角度 θ を大きくしたままでMOSゲート幅Wを十分大きくしたい場合の構成を示している。つまり、実施の形態4に従う半導体素子を連続して並列に並べた構成になっており、MOSゲート101は斜の折り返し（ギザギザ形状）になっている。この実施の形態5は、本発明の半導体素子において利得係数 β を大きくする場合に、素子のサイズを抑えるのに有効である。

15 産業上の利用可能性

この発明の半導体素子は、大規模・高集積LSIの回路素子として適用することができます。

請求の範囲

1. ゲート（101）あるいはチャネルに対する電界の向きを制御することによってトランジスターの利得係数を調整するようにした、ことを特徴とする半導体
5 素子。
2. 半導体素子であって、
矩形あるいは平行四辺形の四角形形状を有するチャネル領域を形成する第1の
ゲート（101）と、
前記第1のゲートで形成されるチャネル領域とソース領域（103）との間、
10 および、前記第1のゲートで形成される前記チャネル領域とドレイン領域（10
4）との間の各々に、実質的に三角形の形状又は実質的に三角形を含む台形の形
状を有するチャネル領域（105）を形成するための第2のゲート（102, 1
01）とを備える。
- 15 3. 前記第1のゲート（101）で形成されるチャネル領域と、その両側に位置
する前記第2のゲート（102）で形成されるチャネル領域（105）とを含む
全てのチャネル領域が、実質的に矩形又は平行四辺形の形状を有している、こと
を特徴とする請求の範囲第2項に記載の半導体素子。
- 20 4. 前記第1のゲート（101）で形成されるチャネル領域のコンダクタンスと、
前記第2のゲート（102）で形成されるチャネル領域（105）のコンダクタ
ンスとが互いに異なっている、ことを特徴とする請求の範囲第2項に記載の半導
体素子。
- 25 5. 前記第1のゲート（101）で形成されるチャネル領域のコンダクタンスと、
前記第2のゲート（102）で形成されるチャネル領域（105）のコンダクタ
ンスとが互いに同一である、ことを特徴とする請求の範囲第2項に記載の半導体
素子。
6. 前記第1のゲート（101）と前記第2のゲート（102）とが各々異なる
工程で製造および形成されている、ことを特徴とする請求の範囲第2項に記載の
半導体素子。
7. 前記第1のゲート（101）と前記第2のゲート（102）とが同一の工程

で製造および形成されていることを特徴とする請求の範囲第2項に記載の半導体素子。

8. 前記第1のゲート（101）で形成されるチャネル領域のコンダクタンスより前記第2のゲート（102）で形成されるチャネル領域（105）のコンダク

5 タンスが大きくなっていることを特徴とする請求の範囲第4項に記載の半導体素子。

9. ゲート（101）あるいはチャネルに対する電界の角度を制御することによ
ってトランジスターの利得係数を調整するようにした、ことを特徴とする半導体素子。

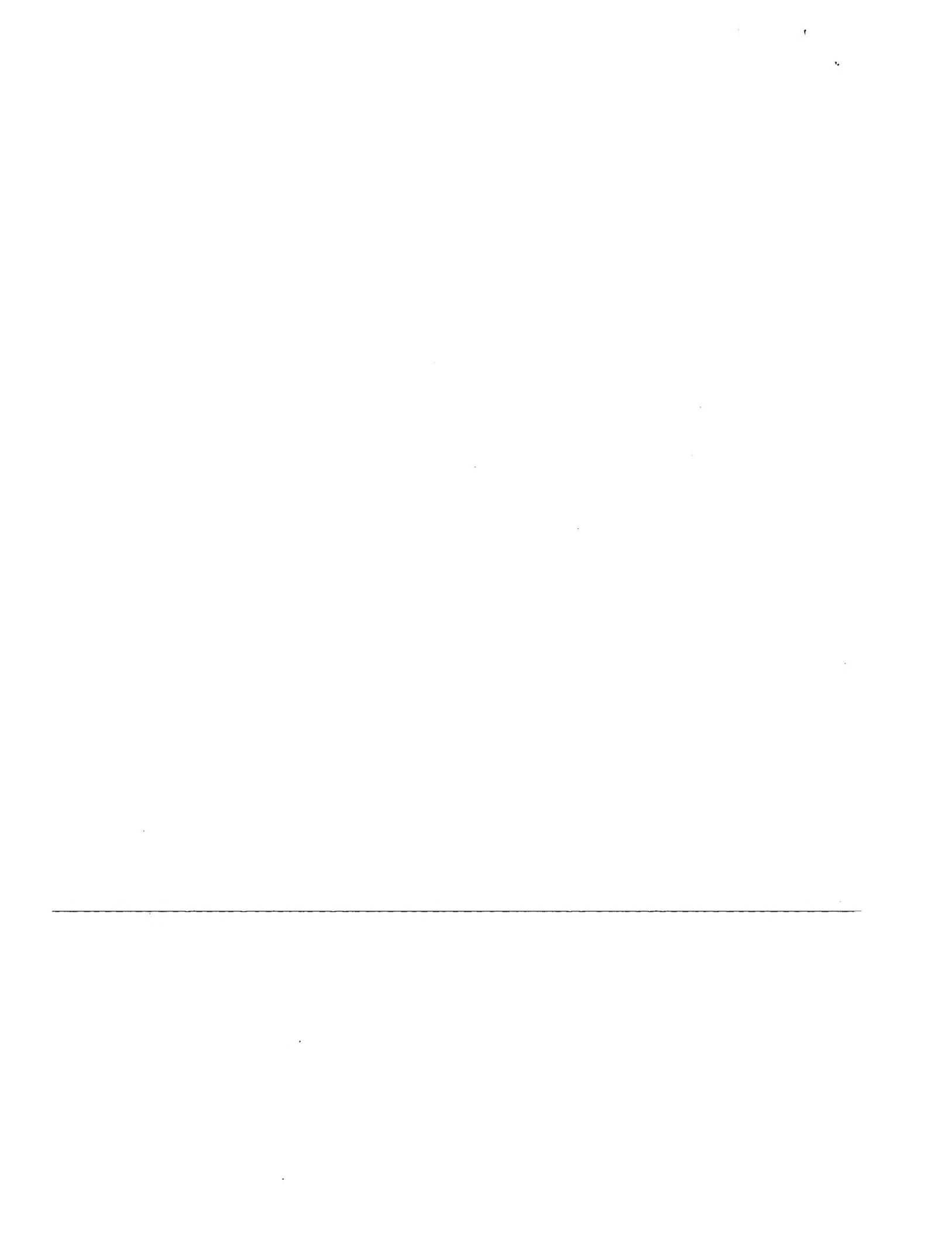


FIG.1

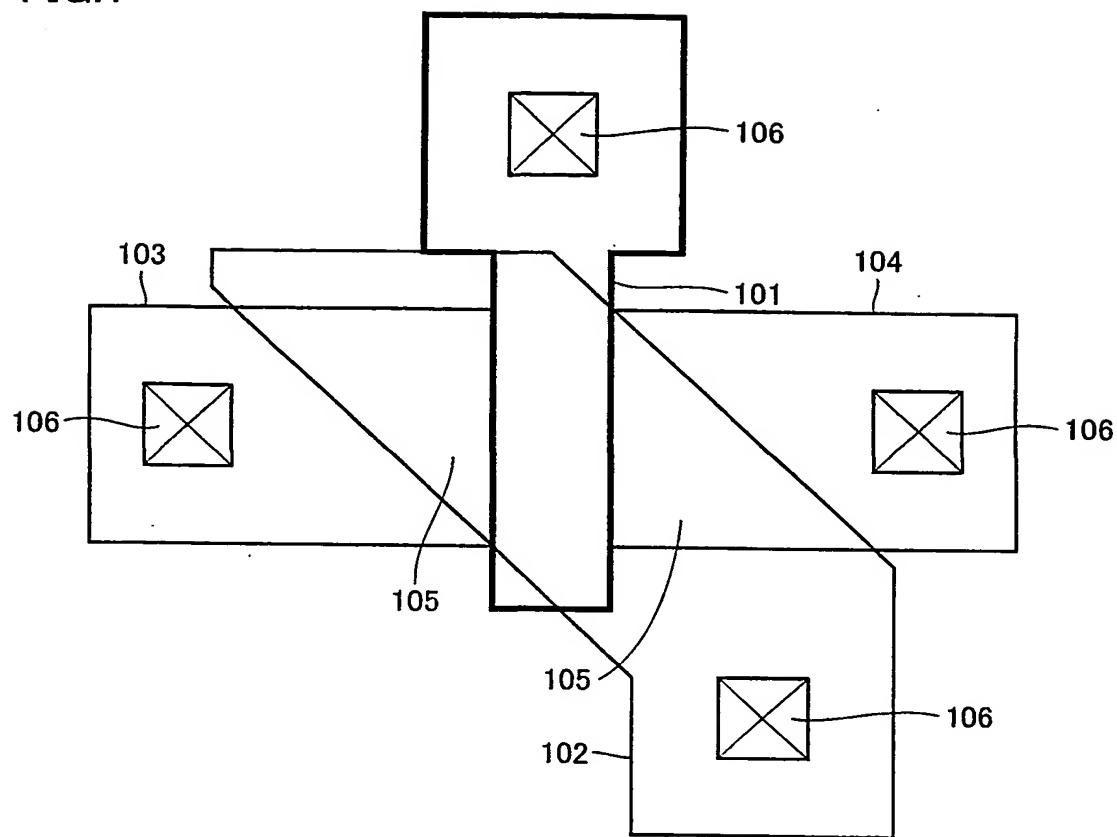


FIG.2

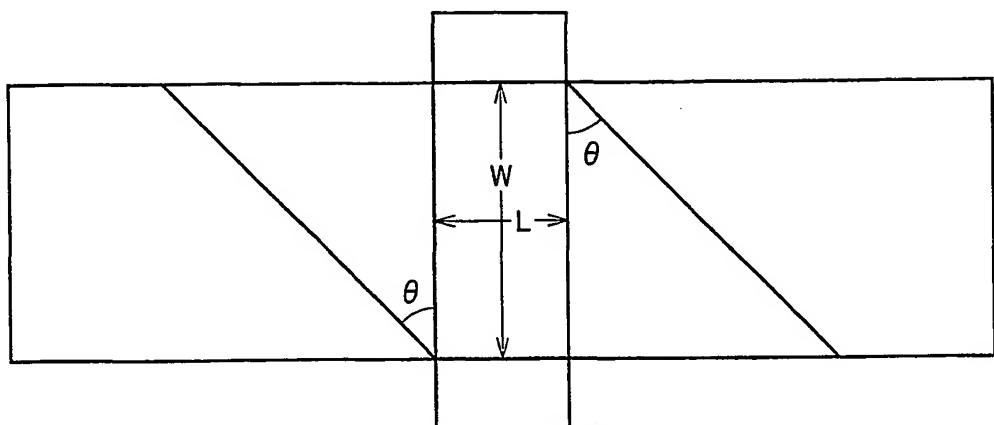


FIG.3

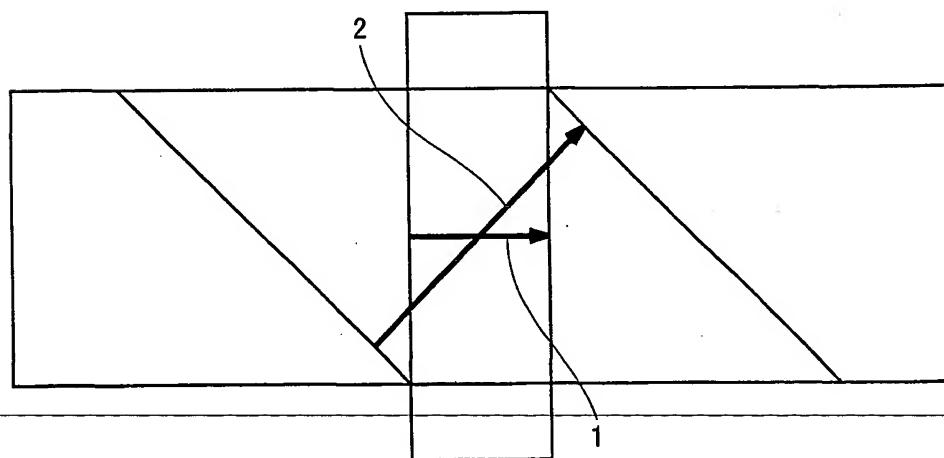


FIG.4

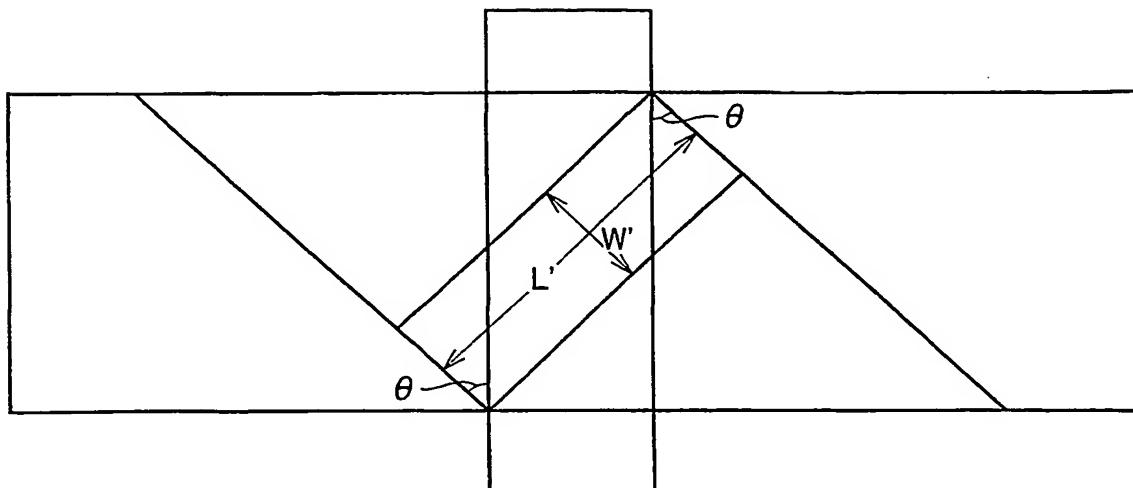


FIG.5

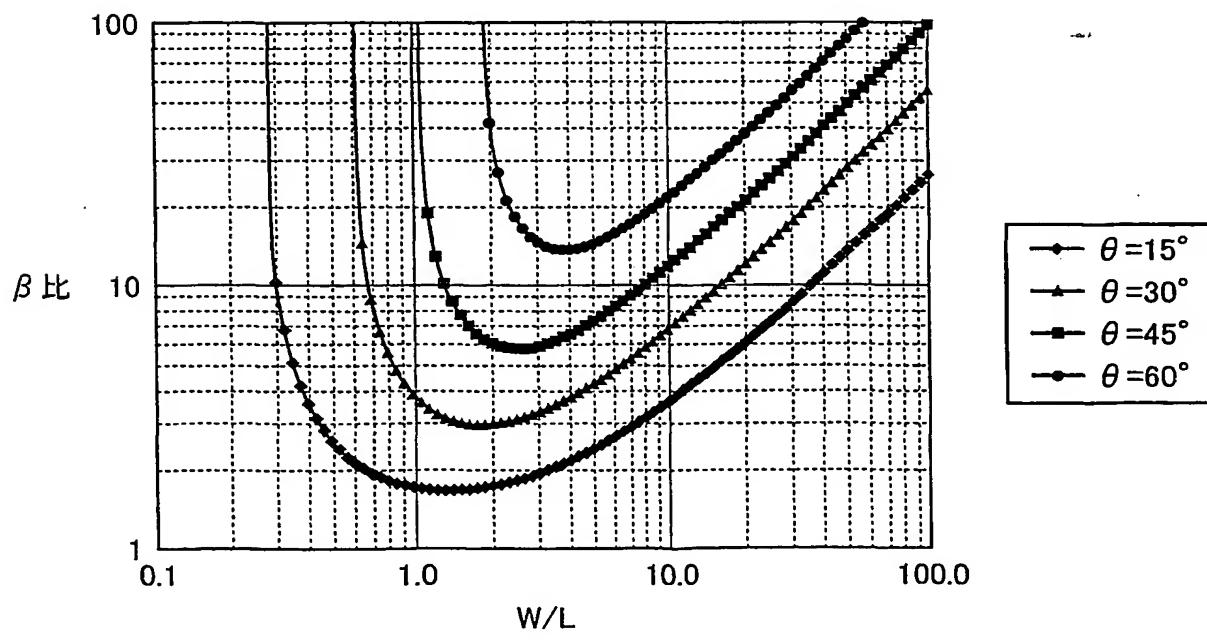
素子 β 変調特性

FIG.6A

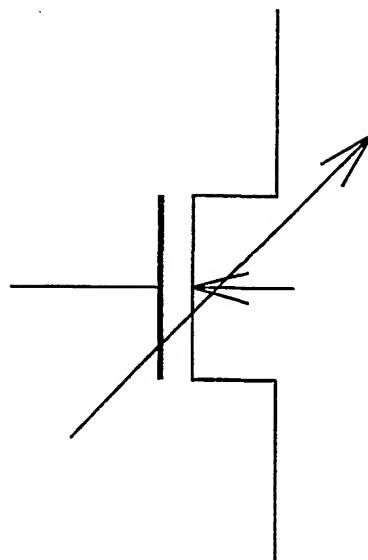
3

FIG.6B

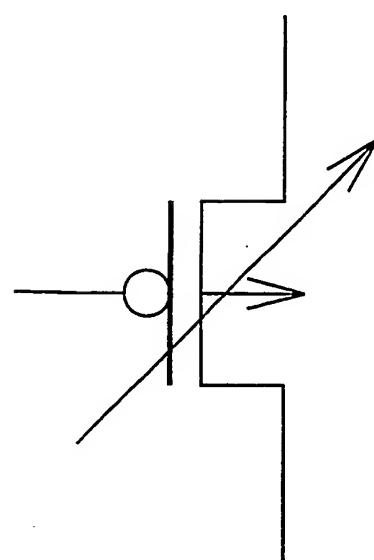
4

FIG.7A

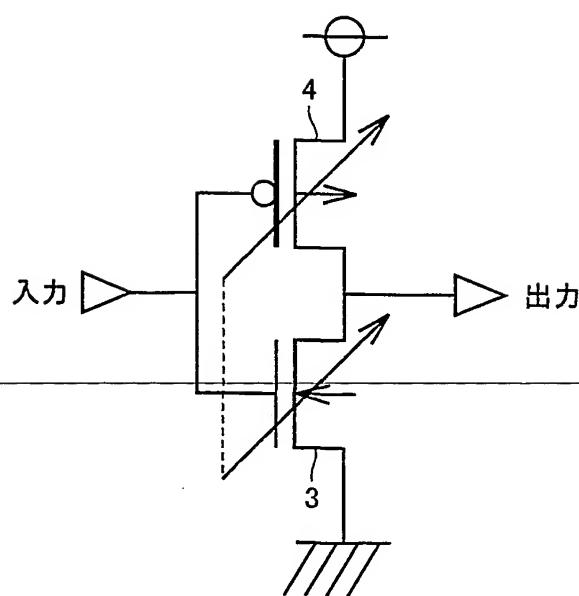
5

FIG.7B

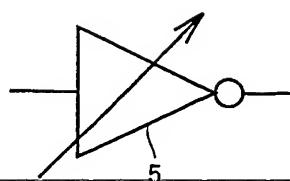


FIG.8

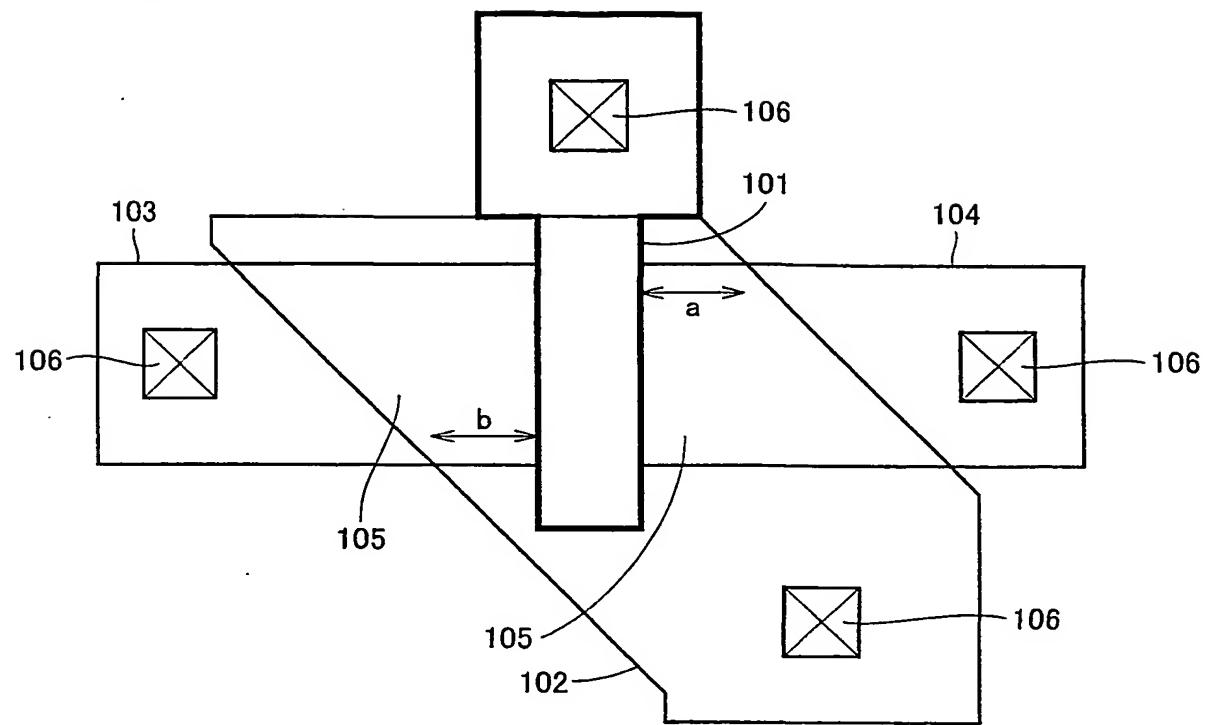


FIG.9

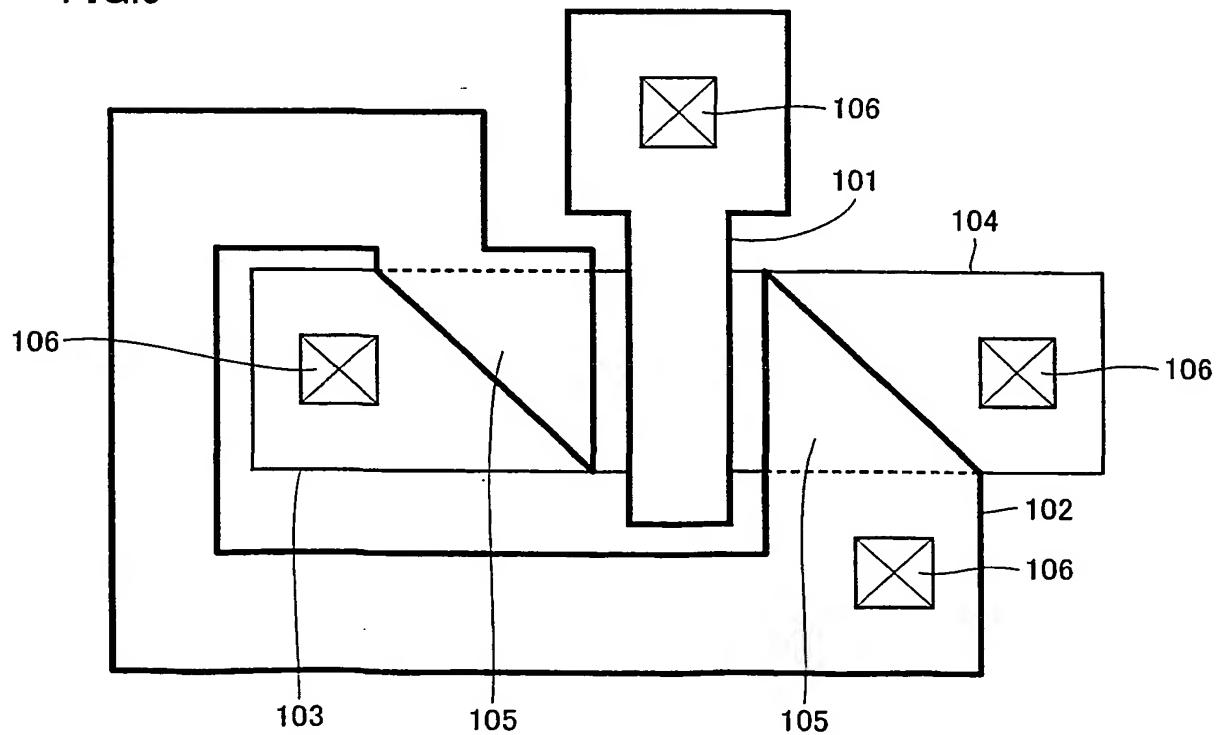


FIG.10

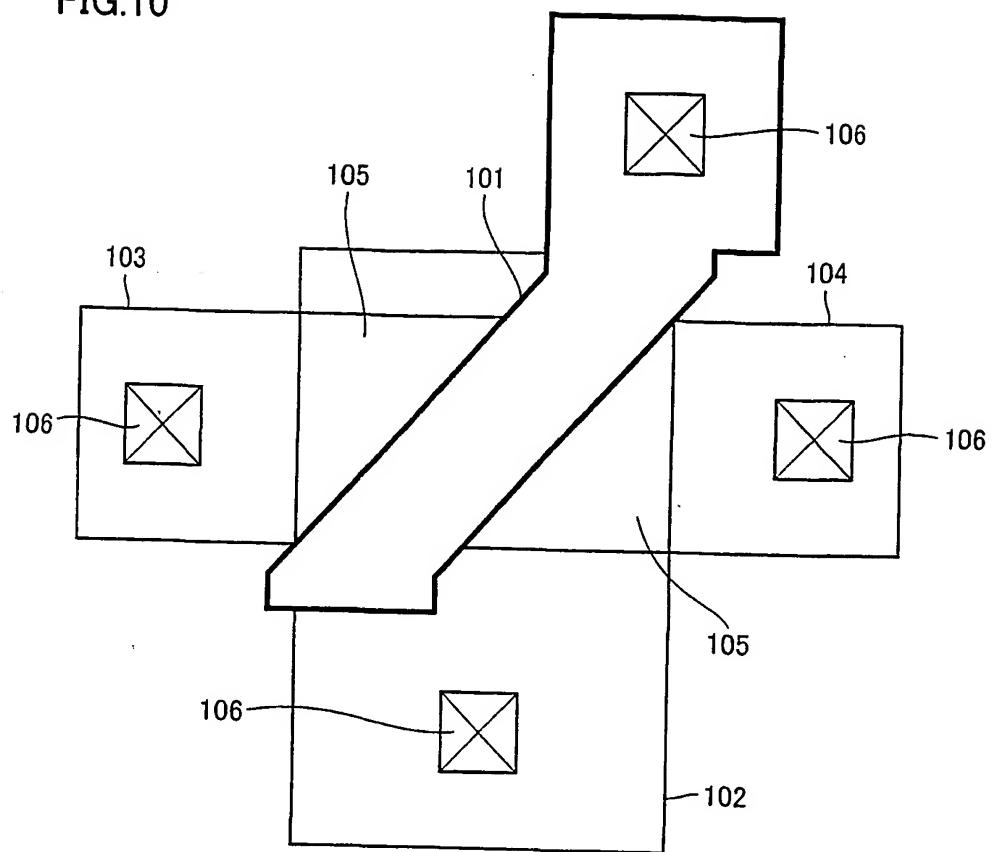


FIG.11

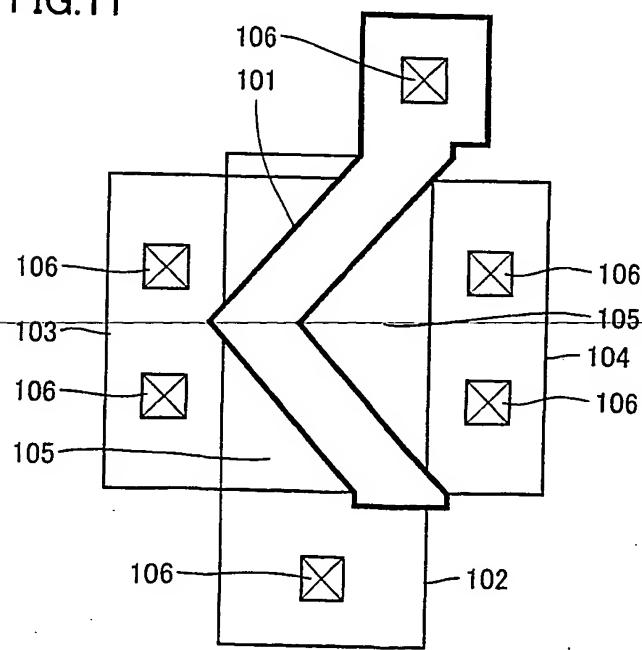


FIG.12

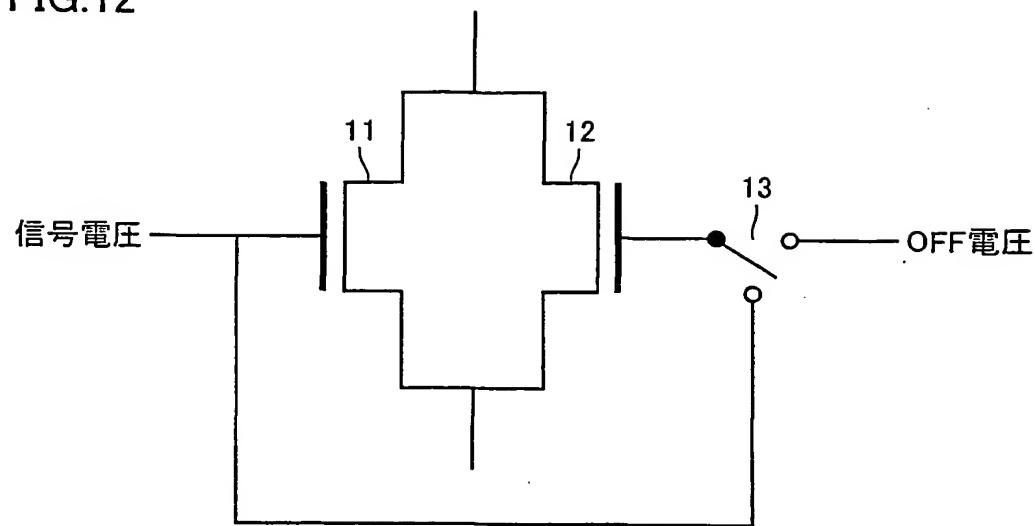


FIG.13

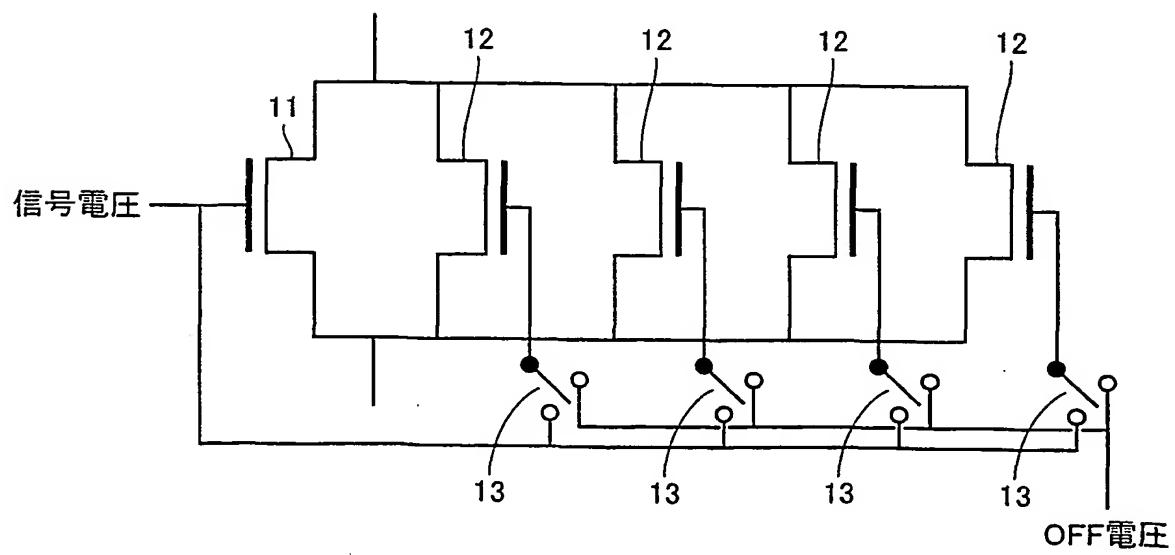


FIG.14A

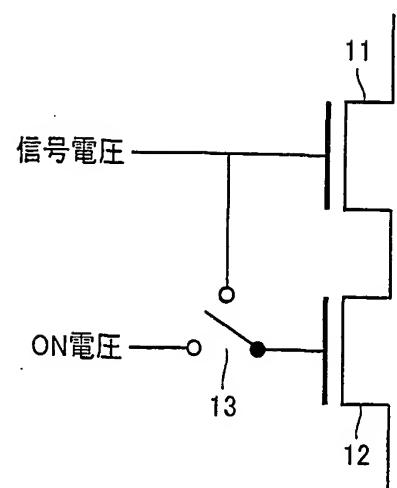


FIG.14B

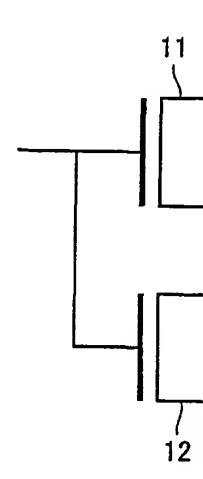


FIG.14C

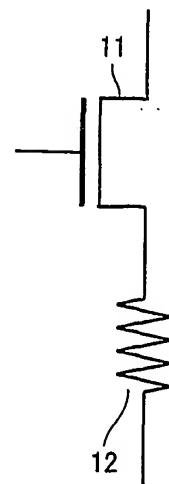


FIG.15A

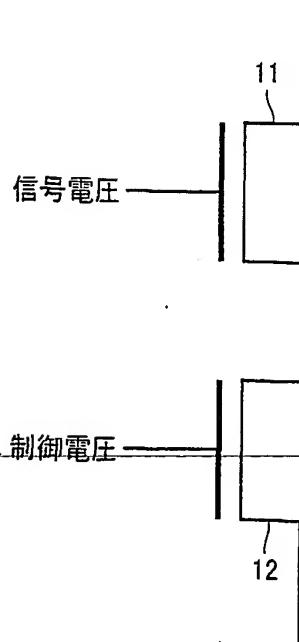
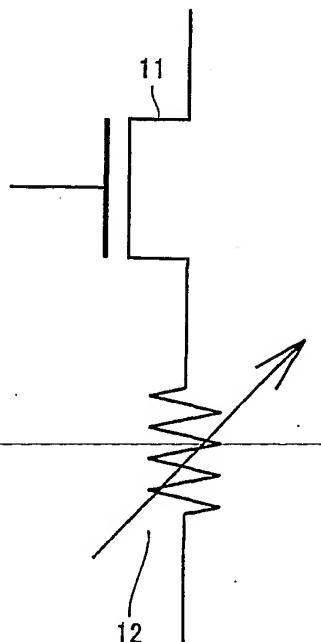


FIG.15B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00445

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6-5851 A (Hitachi, Ltd.), 14 January, 1994 (14.01.94), Column 6, line 45 to column 8, line 24 (Family: none)	1-9
X	JP 11-251582 A (NEC Corp.), 17 September, 1999 (17.09.99), Column 3, line 26 to column 6, line 5 (Family: none)	1-9
X	JP 9-129879 A (NEC Corp.), 16 May, 1997 (16.05.97), Column 3, line 40 to column 5, line 25 (Family: none)	1-9
X	JP 6-350088 A (Sony Corp.), 22 December, 1994 (22.12.94), Column 8, lines 2 to 19 (Family: none)	1-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 April, 2002 (16.04.02)Date of mailing of the international search report
23 April, 2002 (23.04.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00445

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 63-147370 A (Fujitsu Ltd.), 20 June, 1988 (20.06.88), Claim 1 (Family: none)	9

A. 発明の属する分野の分類（国際特許分類（IPC））
Int. Cl' H01L 29/78

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int. Cl' H01L 29/78, H01L 21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 6-5851 A (株式会社日立製作所) 1994. 01. 14, 第6欄第45行-第8欄第24行 (ファミリー無し)	1-9
X	J P 11-251582 A (日本電気株式会社) 1999. 09. 17, 第3欄第26行-第6欄第5行 (ファミリー無し)	1-9

* C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

16. 04. 02

国際調査報告の発送日

23.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 拓也

4M 9169



電話番号 03-3581-1101 内線 3462

C(続き)引用文献の カテゴリー*	関連すると認められる文献 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 9-129879 A (日本電気株式会社) 1997. 05. 16, 第3欄第40行—第5欄第25行 (ファミリー無し)	1-9
X	J P 6-350088 A (ソニー株式会社) 1994. 12. 22, 第8欄第2-19行 (ファミリー無し)	1-9
X	J P 63-147370 A (富士通株式会社) 1988. 06. 20, 特許請求の範囲第1項 (ファミリー無し)	9